

經濟部 106 年度
《5G 通訊系統與應用旗艦計畫(1/1)》
合作研究計畫

《5G uRLLC 通道編解碼硬體架構及 FPGA 實作》
建議書徵求文件

財團法人資訊工業策進會

中華民國 106 年 04 月 26 日

106年度合作研究計畫建議書徵求文件

一、 簡介

在3GPP的TR38.913技術報告中已明確的定義5G系統不同的三種應用場景：eMBB、mMTC與uRLLC，這三種應用定義了不同的資料品質要求(QoS)，有別於eMBB與mMTC，uRLLC在latency與reliability的品質要求最嚴苛，user plane latency部分均值需在0.5ms以下，packet error rate(PER)在latency=1ms與payload=32bytes的情況下要達到 10^{-5} 以下。所以在uRLLC應用中channel control coding(ECC)的設計會是嚴苛的挑戰，這是因為現存沒有一種ECC同時具有low latency與low PER的特性，因為這兩種特性是衝突的。為了解決這樣的問題，3G到4G系統採用兩種ECC，在不同的latency與PER品質要求下作切換，一種是low latency的convolutional (C) code但PER表現較差，另一種則是low PER的Turbo code但latency較高。

eMBB在2016的10月已確定UL control channel採用polar code，而DL data channel則採用LDPC code，但uRLLC到底要採用那種ECC尚討論中，這是因為如前所述uRLLC的ECC的設計要求較為嚴苛所導致，polar code、LDPC code、C code都可能是選項之一，其中C code比其它兩種的latency都來得低，所以現有許多有關德國工業4.0的無線傳輸系統(uRLLC應用之一)的文獻皆以C code當範例，雖然uRLLC到底要採用那種ECC尚未確定，但就從近期幾次標準討論會議中大概可以看出結合LDPC與C code可能是主流的方式。

二、 計畫目標

本計畫之目標是實作合乎TR38.913 uRLLC所規範的LDPC之FPGA，在此規範中，FPGA的編解碼規格如下：latency要小於50us，throughput要達到100Mbps，資料量也要合乎uRLLC的LDPC所規範之大小。

三、 計畫範圍

本計畫是使用FPGA平台實現用於uRLLC的高速LDPC code之解碼器，以達到吞吐量100Mbps的目標。為了達成這個目標，需先研讀有關LDPC code現行文獻的演算法與硬體架構；接著，分析近期uRLLC會議中有關channel coding的提案技術，了解為何技術上uRLLC應該會採用LDPC；最後，將針對LDPC編解碼器作先期的架構分析以達到100Mbps吞吐量。

四、 預期成果

本計畫須配合母計畫需要進行研發，並產出以下成果：

- 於106年8月31日完成1篇期中研究報告交付。
- 於106年12月10日完成1篇期末研究報告交付。
- 於106年12月10日完成1篇專業論文投稿。
- 於106年12月10日完成1篇專利構想提出。

※前述成果如有專利構想或專利申請產出時，需注意專利申請之新穎性(novelty)。因凡經公開發表之研發成果，如擬申請專利，須於公開發表後6個月內完成，前述成果如是以論文方式公開發表，將無法取得大陸與歐盟等國之專利。

五、執行方式

- 合作計畫執行單位應配合本會計畫監控機制。
- 合作計畫執行單位應依本建議書徵求文件第四章「預期成果」規定，如期繳交相關成果。
- 於計畫執行期間，合作計畫執行單位須配合計畫所需，不定期與本單位進行研究心得報告與研討，報告內容以計畫範圍相關之技術主題為主。

六、計畫期程及預估計畫總經費

計畫執行區間：106年01月01日至106年12月20日

總經費：600,000元

七、驗收標準(含教育訓練)

- 交付期中報告1份。
- 交付期末報告1份。
- 投稿專業論文1篇。
- 提出專利構想1篇。

八、技術能力需求

- 具閱讀uRLLC LDPC標準能力之學界研究人員。
- 具LDPC編解碼其硬體架構能力之學界研究人員。
- 具LDPC編解碼其浮點與定點模擬能力之學界研究人員。
- 具LDPC編解碼verilog coding能力之學界研究人員。
- 具LDPC編解碼其FPGA實作能力之學界研究人員。

附件1：契約書格式

1-1：計畫書格式

1-2：經費動支報表

1-3：成果報告撰寫須知

1-4：報告格式

1-5：論文格式

1-6：保密聲明書

1-7：委託匯款同意書